

基于 FPGA 的高重复率距离门控电路实现

吴志波,张忠萍,陈菊平

(中国科学院上海天文台,上海 200030)

摘要: 传统的距离门控电路多采用分立元器件,工作频率和控制精度均十分有限,难于满足重复频率高的测距需求.通过分析高重复率距离门控的时序,提出并实现了一种基于 FPGA 的高重复率距离门控电路方法.该方法充分发挥了 FPGA 在运算、存储、时钟管理等方面的优势:采用倍频模块产生的 200MHz 作为时钟基准,其门控输出分辨率达 5ns;利用增强型并口(Enhanced Parallel Port,简称 EPP)方式进行门控数据传输,以确保 2kHz 的高速门控信号输出.完成的距离门控板在上海天文台的高重频(2kHz)卫星激光测距(Satellite Laser Ranging,简称 SLR)实验中获得应用,使上海天文台成为国际上少数掌握高重频 SLR 技术的台站之一.

关键词: 卫星激光测距; FPGA; 距离门控电路; 高重复率

中图分类号: TN273 **文献标识码:** A **文章编号:** 0372-2112(2010)04-0919-04

The Implementation of Range-Gate Control Circuit with High-Repetition-Rate Based on FPGA

WU Zhi-bo, ZHANG Zhong-ping, CHEN Ju-ping

(Shanghai Astronomical Observatory, Chinese Academy of Sciences, Shanghai 200030, China)

Abstract: The operating frequency and precision of traditional range-gate control circuits designed with discrete components are hard to satisfy the demand of high-repetition-rate measurement. By analyzing the timing sequences of high-repetition-rate range gate, a method based on FPGA is proposed and implemented. This method makes full use of FPGA advantages at calculating, storage and clock managing, 200MHz Clock generated by DCM (Digital Clock Manager) results in the circuit with 5ns resolution and transferring range-gate data via EPP (Enhanced Parallel Port) insure operating frequency up to several kilohertz. Using the prototype circuit makes success of the experiment of high-repetition-rate Satellite Laser Ranging in Shanghai Astronomical Observatory, and makes it become one of stations with high repetition rate SLR technology in the world.

Key words: satellite laser ranging; FPGA; range-gate control circuit; high repetition rate

1 引言

在雷达探测和激光测距等领域,为了有效捕获目标的回波信号,常使用距离门控技术来降低噪声干扰.以 SLR 为例,回波信号易受背景杂散光等噪声干扰^[1],往往根据卫星距离预报,通过距离门控电路精确控制光电接收器的打开来降低噪声干扰,高精度距离门控制可有效提高卫星探测成功概率^[2].近些年来,SLR 正朝着高重复率测距模式的方向发展,旨在获取更多的测距数据和更高的测距精度以满足 SLR 的应用需求.鉴于高重频 SLR 所使用激光的能量往往较小,回波的信噪比较低,为了提高探测成功概率,不仅要求距离门控电路具备 2kHz 的输出频率,在控制精度方面也提出很高的要求.

传统的距离门控电路都建立在分立式元器件上,存

在元器件数较多、电路板尺寸偏大、电路稳定性不理想、扩展性与移植性较差等缺点,使得较高频率的时钟信号实现较困难,控制精度难于进一步提高.随着超大规模集成电路(Very Large Scale Integrated circuits)技术的发展, FPGA 在速度和性能上有了很大的提高,不仅具有运算、缓存等数据处理功能,内部还含有大量包括 DCM 在内的可配置逻辑资源供数字逻辑电路的构建.这使得基于 FPGA 设计高重复率高精度距离门控电路具有灵活性、小型化、集成化等优点^[3].

国际上最早实现高重频 SLR 技术的奥地利 Graz 站就是基于 Altera 的 FPGA 设计 2kHz 距离门控电路,然而该电路对软件的实时性要求很高,仅限于在与 Graz 站相近的软硬件环境下使用.在充分考虑上海天文台 SLR 系统的实际情况,本设计提出:(1)使用 EPP 时序传输门控数据,确保门控输出频率达 2kHz;(2)通过 DCM 模块,

将 GPS 接收机所输出的 10MHz 倍频至 200MHz 作为电路时钟基准,距离门控输出分辨率达 5ns;(3)采用比较器的方法实现距离门控信号输出,充分发挥了 FPGA 具有运算、存储以及大量逻辑资源的优势,节省了硬件资源也提高了电路的整体性能。

2 高重复率距离门控原理及实现框图

图 1 为距离门控输出时序图, f 为测量频率, T_i 是发射脉冲, R_i 为门控信号, C_i 为门控长度(目标距离)。低重复率距离门控中,目标距离小于脉冲发射间隔,可采用直接计数的方法——计数起点为发射脉冲,计数长度为目标距离。该方法的计时电路可以复用。

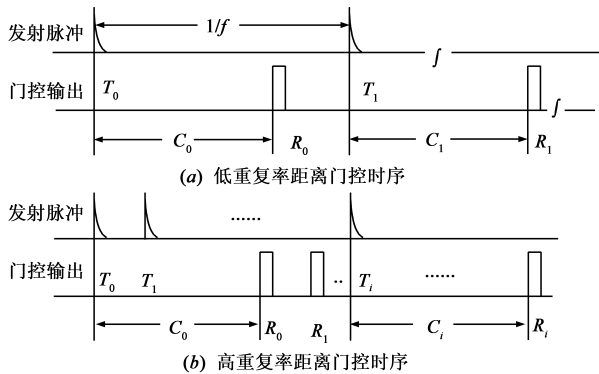


图1 距离门控时序图

在高重复率距离门控中,目标距离覆盖多个发射脉冲,采用直接计数方法则需要多个计时电路,硬件资源浪费且系统较为复杂,影响稳定性和扩展性。

鉴于直接计数方法的弊端,考虑 FPGA 在运算、存储、逻辑资源等方面的优势,本设计提出了一种基于 FPGA 实现高重复率距离门控的方法,图 2 为高重复率距离门控电路的系统框图。

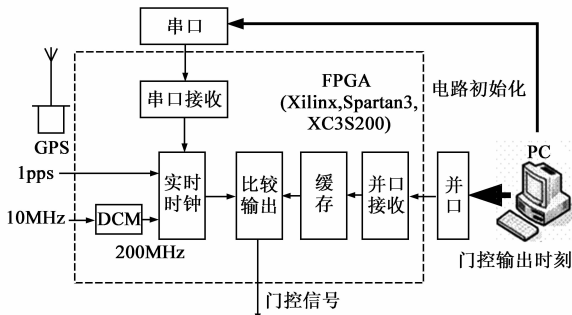


图2 系统结构框图

距离门控电路的大部分功能使用 FPGA 完成,如系统结构图中的虚框所指,外围电路仅提供并口、串口以及一些信号电平转换电路。

系统采用 GPS 接收机提供秒信号和 10MHz 时钟,其中,秒信号用于实时时钟同步 UTC,利用 10MHz 和 DCM 倍频到 200MHz 作为整个电路的时钟基准,因此实

时时钟和门控信号分辨率为 5ns.本电路旨在获得高重复率的门控信号输出,门控数据通过 PC 机以 2kHz 的速度传输给距离门控电路.串口和并口都是 PC 机的基本配置,串口逻辑简单但速度有限,所以本设计使用串口初始化距离门控电路;并口速度较快,其中 EPP 模式速率可达 500kB/s - 2MB/s,传输一个门控数据(48 位,足够代表一天的时间)仅需几十微秒,满足 2kHz 的设计要求.比较器负责比较实时时钟和门控数据(门控信号输出时刻),如果两者匹配,则输出门控信号。

3 高重复率距离门控实现

3.1 硬件实现

3.1.1 时钟基准实现

FPGA 集成了很多具有特定功能的模块,极大方便用户设计.本电路采用 XILINX 的 SPARTAN-3 系列,其 DCM 模块可灵活地控制时钟频率和相位偏移,即使在环境温度和电压变化下仍可输出高质量的信号.DCM 的分频功能可以达到原时钟信号频率的 1/16,倍频功能可以达到 32 倍,输入输出无相位差,确保了本设计可获取高质量的 200MHz 信号.XILINX 推出的集成设计环境(ISE)中提供了 DCM 的 IP Core,用定义好输入输出信号和频率参数即可方便地运用 DCM^[4]。

3.1.2 串口实现

RS232 是一种异步串行通信接口,协议较简单、使用广泛,本设计通过串口初始化距离门控电路.电路干扰会使数据的边缘采样发生误判,只有在数据中央采样时其出错概率为最低,因此数据采样率一般都是波特率的数倍频.本电路波特率为 38400,8 倍频采样可以使误码率最小($200000000/651 = 38400 \times 8$,误码率仅为 0.0001%)。

3.1.3 并口实现

EPP 协议是一种与标准并行口兼容且能完成双向数据异步传输的协议.当计算机并口工作于 EPP 模式

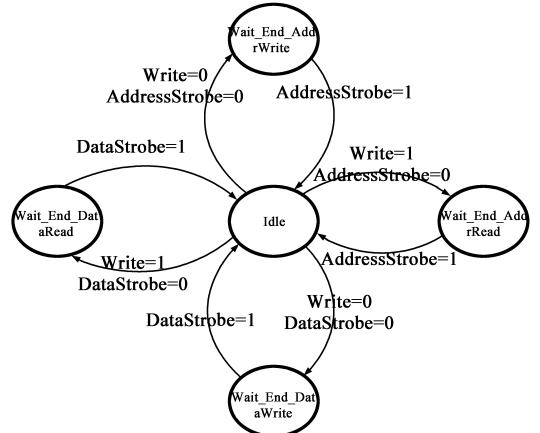


图3 EPP 状态机

时,只有 8 条数据线和 5 条信号线有效,其中 Write, DataStrobe, AddrStrobe 分别代表读写选通、数据选通、地址选通,低电平有效^[5].图 3 为实现 EPP 协议的状态机^[6],共有五种状态,Idle、Wait_End_Add_nWrite、Wait_End_Data_nWrite、Wait_End_Add_nRead 和 Wait_End_Data_nRead.以接收并口数据为例,在 Idle 状态时检测到 Write 和 DataStrobe 为低,则转为 Wait_End_Data_nWrite 状态,在 Wait_End_Data_nWrite 状态时进行数据接收和处理.

3.1.4 实时时钟实现

该实时时钟与 UTC 同步,由 PC 机进行控制.

距离门控电路初始化时,PC 机将所获得的 UTC 秒历元时刻 T_0 发送给实时时钟模块,该模块在秒信号出现后开始计数,计数初始值为历元时刻 T_0 ,这样实时时钟的计数值 $T_0 + n$ 就与 UTC 保持同步.图 4 为实时时钟同步示意图.

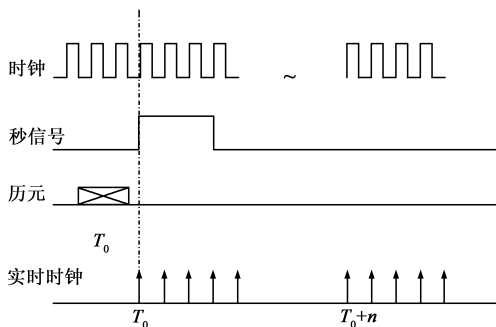


图4 实时时钟同步示意图

3.1.5 比较器

比较器用于输出门控信号并产生缓存的读取信号,为本电路时序控制的核心部分.为提高设计的健壮性,首先须判断距离门控数据的有效性,不合理(太早或者晚了)则发出缓存读取信号,取下一个距离门控数据;如果数据有效,则将门控数据与实时时钟比较,匹配则输出门控信号并发出缓存读取信号,不匹配则待下一个实时时钟继续比较,如图 5 的流程图.

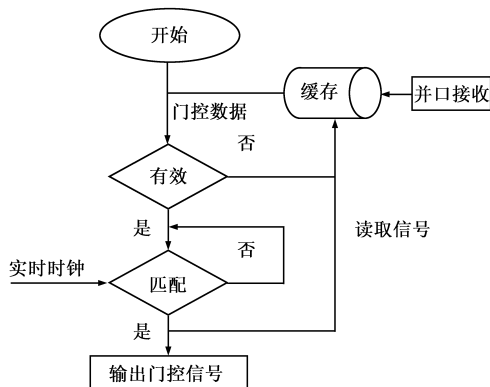


图5 比较器流程图

3.2 软件实现

多种编程语言均支持串口编程,因此实现串口编程在 Windows 各种版本上都较方便. Windows2000 及以上的版本均为 NT 结构,此类操作系统对内核具有超强的保护能力,因此 EPP 的编程需绕开 NT 的保护机制.一种方法是使用驱动程序专用开发工具(Jungo WinDriver, CompuWare DriverWorks 等)来编写底层的驱动程序,还有就是采用 DDK 开发 Vxd 驱动程序,这两种方法效率高但开发周期较长.本软件采用第三方工具 WinIo (www.internals.com),WinIo 库通过使用内核模式下设备驱动程序和其它一些底层编程技巧绕过 Windows 安全保护机制,允许 Win32 应用程序直接对 I/O 端口进行操作^[7].

计算机并口默认的工作模式为 ECP,我们可以在 BIOS 中修改并口模式为 EPP.在进行 EPP 读写操作之前,需要对并口控制寄存器(BASE + 2)相应位进行初始化.如,读操作初始化:outport(BASE + 2, 36);写操作初始化:outport(BASE + 2, 4).

4 测试结果

为了验证距离门控电路样机的控制精度和输出频率,本设计使用一台精度好于 10ps、测量频率可达 10kHz 的事件计时器(Event Timer,简称 ET)记录门控输出时刻,并将其与发送的距离门控时刻作差,结果显示如下:

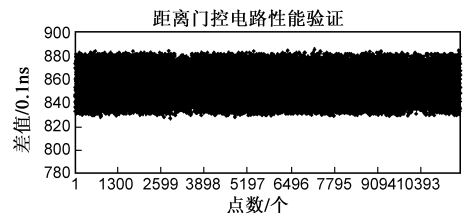


图6 高重复率距离门控电路验证

上图显示的差值在 5ns 内抖动,符合设计预期的控制精度.上图记录数据是在 5.8s 内发生的距离门控,也表明本电路重复频率可达 2kHz.

高重复率距离门控电路是高重复 SLR 的关键技术,采用本文介绍的距离门控板,上海天文台的高重复率卫星激光测距实验获得了成功,使得上海天文台成为国际上少数掌握高重复 SLR 技术的站点之一.

5 结束语

本文针对高重复率距离门控的时序特点,提出并实现了一种基于 FPGA 的高重复率高精度距离门控电路方法.本方法充分发挥 FPGA 在运算、存贮、逻辑资源方面的优势,具有小型化、稳定性好等优点.实验表明,本距离门控电路控制精度 5ns,输出频率达 2kHz.本距

离门控电路采用 XC3S200 设计,只使用大约 30% 的资源,因此电路的功能可进一步得到扩展.如果想进一步提高距离门控电路的性能,可使用更高性能的 FPGA,应用本方法实现.

参考文献:

- [1] 叶叔华,黄 .天文地球动力学[M].山东济南:科学技术出版社,2000.91-121.
- [2] 韩虹,吴志波,张忠萍,陈菊平.基于 CPLD 的高精度门控电路的设计[J].时间频率学报,2005,28(2):95-102.
Han Hong, Wu Zhi-bo, Zhang Zhong-ping, Chen Ju-ping. A high precision range-gate circuit designed with CPLD[J]. Journal of Time and Frequency, 2005, 28(2): 95-102. (in Chinese)
- [3] 赵保军,史彩成,韩月秋,毛二可.利用 FPGA 和 DSP 结合实现雷达多目标实时检测[J].电子学报,2001,29(8):1145-1147.
Zhao Bao-jun, Shi Cai-cheng, Han Yue-qiu, Mao Er-ke. Radar multi-target real-time detection with FPGA and DSP[J]. Acta Electronica Sinica, 2001, 29(8): 1145-1147. (in Chinese)
- [4] Xilinx Coporation. Using Digital Clock Managers (DCMs) in Spartan-3 FPGAs[Z].2006.

- [5] Interfacing the Enhanced Parallel Port[OL]. <http://www.beyondlogic.org/epp/epp.htm>. 2005-06-15/2009-07-30.
- [6] 基于 FPGA 实现并口 EPP 协议[OL]. http://www.eefocus.com/myspace/blog/show_75398.html, 2007-10-16/2009-07-30.
- [7] 吴志波,张忠萍,孙宝三,张海峰.基于 NT 环境实现卫星激光测距控制软件[J].上海天文台年刊,2008,29:179-185.
Wu Zhi-bo, Zhang Zhong-ping, Sun Bao-san, Zhang Hai-feng. Realization of control software of satellite laser ranging based on Windows NT[J]. Annals of Shanghai Astronomical Observatory, 2008, 29: 179-185. (in Chinese)

作者简介:



吴志波 男,1981 年 12 月生于江西临川.2003 年、2006 年分别在东南大学、中国科学院上海天文台获得理学学士和理学硕士学位,其后一直在上海天文台从事人卫激光测距的研究.
E-mail: 10099134@163.com